

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255838

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

H01L 21/8222  
H01L 27/06  
H01L 21/203  
H01L 29/205  
H01L 29/872  
H01L 21/331  
H01L 29/73  
H01L 29/778  
H01L 21/338  
H01L 29/812  
H01L 27/095

(21)Application number : 07-283186

(71)Applicant : TRW INC

(22)Date of filing : 31.10.1995

(72)Inventor : STREIT DWIGHT C  
UMEMOTO DONALD K  
OKI AARON K  
KOBAYASHI KEVIN W

(30)Priority

Priority number : 94 333538 Priority date : 02.11.1994 Priority country : US

## (54) METHOD OF MANUFACTURING MONOLITHIC MULTIFUNCTIONAL INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a selective molecular beam epitaxy method for manufacturing different semiconductor devices in integrated circuit form on a common base substance.

SOLUTION: The selective molecular beam epitaxy manufacturing a monolithic integrated circuit device including an assembly of a PIN diode device 54, a HBT device 52, a HEMT device 56 and a MESFET device on a common base substance includes the bonding of a profile layer of one device onto a proper base substance as well as the bonding of the first dielectric layer on the profile layer. Besides, the profile layer and the dielectric layer are etched away so as to section the first device profile. Next, the second profile layer for sectioning the second device is bonded onto the exposed base substance. Finally, the second profile is selectively etched away to section the second device profile.



## LEGAL STATUS

[Date of request for examination] 07.12.1995  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 2793983  
[Date of registration] 19.06.1998  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 5 5 8 3 8

(43) 公開日 平成 8 年 (1996) 10 月 1 日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8222		H 0 1 L	27/06 1 0 1 U
	27/06			21/203 M
	21/203			29/205
	29/205			29/48 P
	29/872			29/72
審査請求	有	請求項の数 3 7	O L	(全 2 0 頁) 最終頁に続く

(21) 出願番号 特願平 7-283186

(22) 出願日 平成 7 年 (1995) 10 月 31 日

(31) 優先権主張番号 08/333538

(32) 優先日 1994 年 11 月 2 日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590002529

ティアールダブリュー インコーポレイテッド

アメリカ合衆国 カリフォルニア州 902  
78 レドンド ビーチ スペース パーク  
1

(72) 発明者 ドワイト シー ストライト

アメリカ合衆国 カリフォルニア州 907  
40 シール ビーチ カレッジ パーク  
ドライブ 313

(74) 代理人 弁理士 中村 稔 (外 6 名)

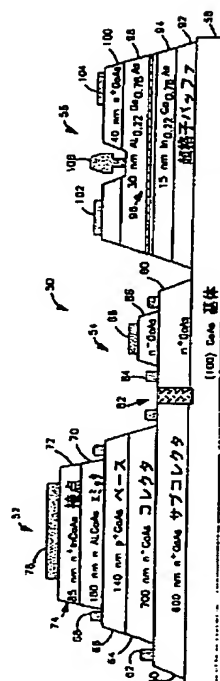
最終頁に続く

(54) 【発明の名称】 モノリシックの多機能集積回路デバイスを製造する方法

(57) 【要約】 (修正有)

【課題】 異なる半導体デバイスを集積回路形態で共通の基体上に製造するための選択的分子ビームエピタキシー方法を提供する。

【解決手段】 P I N ダイオードデバイス 5 4、H B T デバイス 5 2、H E M T デバイス 5 6 及び M E S F E T デバイスの組合せを含むモノリシック集積回路デバイスを共通の基体上に製造する選択的分子ビームエピタキシー方法は、1つのデバイスのプロファイル層を適当な基体上に付着し、そしてそのプロファイル層上に第1の誘電体層を付着することを含む。プロファイル層及び誘電体層は、第1のデバイスプロファイルを描成するようにエッチングされる。次いで、第2デバイスを描成するための第2のプロファイル層が、露出した基体上に付着される。次いで、第2のプロファイルが選択的にエッチングされて、第2のデバイスプロファイルが画成される。



## 【特許請求の範囲】

## 【請求項 1】 基体と、

上記基体上に形成された高電子移動度トランジスタ (HEMT) とを備え、該 HEMT は、基体に接触する HEMT のプロファイル層が基体とのエピタキシャル結合を形成するように選択的分子ビームエピタキシー (MBE) によって基体に付着された複数の HEMT プロファイル層を含み、そして上記基体上に形成された第 1 半導体デバイスを更に備え、該第 1 半導体デバイスは、基体に接触する第 1 半導体デバイスのプロファイル層が基体とのエピタキシャル結合を形成するように MBE によって基体上に付着された複数の第 1 半導体デバイスプロファイル層を含むことを特徴とするモノリシック集積回路。

【請求項 2】 上記第 1 半導体デバイスは、ヘテロ接合バイポーラトランジスタ (HBT) であり、基体に接触する HBT プロファイル層がサブコレクタ層である請求項 1 に記載の集積回路。

【請求項 3】 上記第 1 半導体デバイスは、PIN ダイオードであり、基体に接触する PIN ダイオードプロファイル層が接触層である請求項 1 に記載の集積回路。

【請求項 4】 基体上に形成された第 2 半導体デバイスを更に備え、該第 2 半導体デバイスは、基体に接触する第 2 半導体デバイスのプロファイル層が基体とのエピタキシャル結合を形成するように選択的 MBE によって基体に付着された複数の第 2 半導体プロファイル層を含む請求項 1 に記載の集積回路。

【請求項 5】 上記第 1 半導体デバイスは HBT でありそして第 2 半導体デバイスはショットキーダイオードであり、これら HBT 及びショットキーダイオードはイオンインプランテーション領域によって分離され、そして基体に接触する HBT プロファイル層がサブコレクタ層である請求項 4 に記載の集積回路。

【請求項 6】 上記第 1 半導体デバイスは HBT でありそして第 2 半導体デバイスは PIN ダイオードであり、基体に接触する HBT プロファイル層がサブコレクタ層であり、そして基体に接触する PIN ダイオードプロファイル層が接触層である請求項 4 に記載の集積回路。

【請求項 7】 HBT 及び PIN ダイオードは、イオンインプランテーション領域によって分離される請求項 6 に記載の集積回路。

【請求項 8】 ショットキーダイオードデバイスを更に備え、該ショットキーダイオードデバイスはイオンインプランテーション領域によって HBT から分離され、基体に接触するショットキーダイオードデバイスのプロファイル層が基体とのエピタキシャル結合を形成する請求項 2 に記載の集積回路。

【請求項 9】 上記 PIN ダイオード、HBT 及び HEMT は、送信-受信回路を形成するように相互接続され、HEMT は受信機能のための低ノイズ増幅器として

働き、HBT は送信機能のための電力増幅器として働き、PIN ダイオードはスイッチとして働く請求項 7 に記載の集積回路。

【請求項 10】 上記 HBT 及び HEMT は、HBT 調整された HEMT 低ノイズ増幅器を形成するように相互接続される請求項 2 に記載の集積回路。

【請求項 11】 上記 HEMT 及び PIN ダイオードは、PIN ダイオードリミッタを含む HEMT 増幅器を形成するように相互接続される請求項 3 に記載の集積回路。

【請求項 12】 HBT 及び HEMT は高性能増幅器を形成するように相互接続され、HEMT は、RF 信号を受信する低ノイズ増幅器として働き、HBT は、HEMT から増幅された出力信号を受信する高インターセプト増幅器として働く請求項 2 に記載の集積回路。

【請求項 13】 基体上に付着された超伝導-絶縁-超伝導 (SIS) 検出器を更に備えた請求項 1 に記載の集積回路。

【請求項 14】 上記基体は、砒化ガリウム及び燐化インジウムより成る群から選択された半導体材料より成る請求項 1 に記載の集積回路。

【請求項 15】 基体と、  
上記基体上に形成された金属半導体電界効果トランジスタ (MESFET) とを備え、該 MESFET は、基体に接触する MESFET のプロファイル層が基体とのエピタキシャル結合を形成するように選択的分子ビームエピタキシー (MBE) によって基体に付着された複数の MESFET プロファイル層を含み、そして上記基体上に形成された第 1 半導体デバイスを更に備え、該第 1 半導体デバイスは、基体に接触する第 1 半導体デバイスのプロファイル層が基体とのエピタキシャル結合を形成するように MBE によって基体上に付着された複数の第 1 半導体デバイスプロファイル層を含むことを特徴とするモノリシック集積回路。

【請求項 16】 上記第 1 半導体デバイスは、ヘテロ接合バイポーラトランジスタ (HBT) であり、基体に接触する HBT プロファイル層がサブコレクタ層である請求項 15 に記載の集積回路。

【請求項 17】 上記第 1 半導体デバイスは、PIN ダイオードであり、基体に接触する PIN ダイオードプロファイル層が接触層である請求項 15 に記載の集積回路。

【請求項 18】 上記基体上に形成された第 2 半導体デバイスを更に備え、該第 2 半導体デバイスは、基体に接触する第 2 半導体デバイスのプロファイル層が基体とのエピタキシャル結合を形成するように選択的 MBE により基体に付着された複数の第 2 半導体プロファイル層を含む請求項 15 に記載の集積回路。

【請求項 19】 上記第 1 半導体デバイスは HBT でありそして第 2 半導体デバイスはショットキーダイオード

であり、これらHBT及びショットキーダイオードはイオンインプランテーション領域により分離され、そして基体に接触するHBTプロファイル層がサブコレクタ層である請求項18に記載の集積回路。

【請求項20】 上記第1半導体デバイスはHBTでありそして第2半導体デバイスはPINダイオードであり、基体に接触するHBTプロファイル層がサブコレクタ層であり、そして基体に接触するPINダイオードプロファイル層が接触層である請求項18に記載の集積回路。

【請求項21】 HBT及びPINダイオードは、イオンインプランテーション領域によって分離される請求項20に記載の集積回路。

【請求項22】 ショットキーダイオードデバイスを更に備え、該ショットキーダイオードデバイスはイオンインプランテーション領域によってHBTから分離され、基体に接触するショットキーダイオードデバイスのプロファイル層が基体とのエピタキシャル結合を形成する請求項15に記載の集積回路。

【請求項23】 上記基体は、砒化ガリウム及び燐化インジウムより成る群から選択された半導体材料より成る請求項15に記載の集積回路。

【請求項24】 基体と、  
上記基体上に形成されたヘテロ接合バイポーラトランジスタ(HBT)とを備え、該HBTは、基体に接触するHBTのプロファイル層が基体とのエピタキシャル結合を形成するように選択的分子ビームエピタキシーによって基体に付着された複数のHBTプロファイル層を含み、そして上記基体上に形成された半導体ダイオードを更に備え、この半導体ダイオードは、基体に接触する第1半導体デバイスのプロファイル層が基体とのエピタキシャル結合を形成するように分子ビームエピタキシーにより基体上に付着された複数のダイオードプロファイル層を含むことを特徴とするモノリシック集積回路。

【請求項25】 選択的分子ビームエピタキシー(MBE)プロセスにより共通の基体上にモノリシック集積回路デバイスを製造する方法において、  
MBEプロセスにより基体上に第1半導体プロファイルを付着し、  
上記半導体プロファイル上に第1誘電体層を付着し、  
選択された領域において上記第1誘電体層及び第1半導体プロファイルの一部分を除去して、第1半導体デバイスプロファイルを描成する第1半導体プロファイルの一部分が基体上に残されそして基体の第1部分が露出されるようにし、更に、上記第1半導体デバイスプロファイルが第1の残りの誘電体層によって覆われるようにし、  
上記第1の残りの誘電体層及び上記基体の第1の露出部分にMBEプロセスにより高電子移動度トランジスタ(HEMT)プロファイルを付着し、そして上記第1の残りの誘電体層に付着されたHEMTプロファイルを除

去すると共に、上記第1の残りの誘電体層を除去して、集積された第1半導体及びHEMTデバイスプロファイルを共通の基体上に形成する、という段階を備えたことを特徴とする方法。

【請求項26】 第1半導体プロファイルを付着する上記段階は、基体上にヘテロ接合バイポーラトランジスタ(HBT)プロファイルを付着して、基体上に集積されたHBT及びHEMTデバイスプロファイルを形成することを含む請求項25に記載の方法。

10 【請求項27】 第1半導体プロファイルを付着する上記段階は、PINダイオードプロファイルを付着して、共通の基体上に集積されたPINダイオード及びHEMTデバイスプロファイルを形成することを含む請求項25に記載の方法。

【請求項28】 誘電体層及び半導体プロファイルの一部分を除去する上記段階は、上記半導体プロファイルを非等方性エッチングして後退した半導体プロファイルを形成し、第1の残りの誘電体層の一部分が第1の半導体デバイスプロファイルの上面を越えて延びるようにすることを含む請求項25に記載の方法。

20 【請求項29】 HEMTプロファイルを付着する上記段階は、基体の露出部分に単結晶HEMTプロファイルをそして第1の残りの誘電体層に多結晶HEMTプロファイルを付着することを含む請求項25に記載の方法。

【請求項30】 上記基体は、砒化ガリウム(GaAs)及び燐化インジウム(InP)より成る群から選択された材料を含む請求項25に記載の方法。

【請求項31】 第1の誘電体層を付着する上記段階は、窒化シリコン誘電体層を付着することを含む請求項25に記載の方法。

30 【請求項32】 HEMTデバイスプロファイルにオーミック金属層を最初に付着し、次いで、HEMTデバイスプロファイルに関連したソース端子及びドレイン端子を定めるようにオーミック金属層をパターン化し、次いで、HBTデバイスプロファイルからHBTエミッタメサをパターン化し、次いで、HBTベース接点を付着及びパターン化し、次いで、HBTデバイスプロファイルからHBTベースメサをパターン化し、次いで、HBTエミッタ接点及びHBTコレクタ接点を付着及びパターン化し、そしてHEMTゲート電極を付着及びパターン化する段階を更に備えた請求項26に記載の方法。

40 【請求項33】 HBTデバイスプロファイルの領域にイオンをインプランテーションしてHBTデバイスプロファイルの一部分を隔離及び分離し、HBTデバイスプロファイルに隣接するHBTデバイスプロファイルの分離された部分からダイオードデバイスプロファイルを形成する段階を更に備えた請求項26に記載の方法。

【請求項34】 第1誘電体層の一部分を除去する段階の後にMBEプロセスにより第1の残りの誘電体層と基板の第1の露出部分とに第2の半導体プロファイルを付

着し、上記第1の残りの誘電体層に付着された第2半導体プロファイルの一部分を除去すると共に、上記第1の残りの誘電体層を除去して、基体上に上記第1の半導体デバイスプロファイルに隣接して第2の残りの半導体プロファイルを形成し、上記第1の半導体デバイスプロファイル及び第2の残りの半導体プロファイル上に第2の誘電体層を付着し、選択された領域において上記第2の誘電体層及び第2の残りの半導体プロファイルの一部分を除去して、第2の半導体デバイスプロファイルを定める第2の残りの半導体プロファイルの一部分が基体上に残され且つ基体の第2部分が露出されるようにし、上記第1の半導体デバイスプロファイル及び上記第2の半導体デバイスプロファイルは、第2の残りの誘電体層によってカバーされ、第2の半導体デバイスプロファイルを形成する上記段階は、HEMTプロファイルを付着する段階の前に実行される請求項25に記載の方法。

【請求項35】 第1の半導体プロファイルを付着する上記段階は、PINダイオードプロファイルを付着することを含み、そして第2の半導体プロファイルを付着する上記段階は、HBTプロファイルを付着することを含む請求項34に記載の方法。

【請求項36】 第2の半導体プロファイルを付着する上記段階は、基体の第1の露出された部分に単結晶半導体プロファイルをそして残りの誘電体層に多結晶半導体プロファイルを付着することを含み、そしてHEMTプロファイルを付着する上記段階は、基体の第2の露出部分に単結晶HEMTプロファイルをそして第2の残りの誘電体層に多結晶HEMTプロファイルを付着することを含む請求項34に記載の方法。

【請求項37】 選択的分子ビームエピタキシー(MBE)プロセスにより共通の基体上にモノリシック集積回路デバイスを製造する方法において、MBEプロセスにより基体上に半導体プロファイルを付着し、

上記半導体プロファイル上に誘電体層を付着し、選択された領域において上記誘電体層及び半導体プロファイルの一部分を除去して、半導体デバイスプロファイルを画成する半導体プロファイルの一部分が基体上に残されそして基体の一部分が露出されるようにし、更に、上記半導体デバイスプロファイルが残りの誘電体層によって覆われるようにし、

上記残りの誘電体層及び上記基体の露出部分にMBEプロセスにより金属半導体電界効果トランジスタ(MESFET)プロファイルを付着し、そして上記残りの誘電体層に付着されたMESFETプロファイルを除去すると共に上記残りの誘電体層を除去して、集積された半導体及びMESFETデバイスプロファイルを共通の基体上に形成する、という段階を備えたことを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般にモノリシックの多機能集積回路を製造する方法及びそれにより形成された集積回路に係り、より詳細には、共通の基体上に集積回路形態で異なる半導体デバイス形式を製造するための選択的分子ビームエピタキシー方法及びそれにより形成された集積回路に係る。

【0002】

【従来の技術】マイクロ波、ミリメートル波のような用途及びオプトエレクトロニクスの用途において、多機能回路デバイス、即ち2つ以上のデバイス形式を含む回路を共通の基体上に集積すると、集積デバイスを組み込んだ集積回路の性能は、異なるデバイス形式を個々に集積する回路以上に増大することが分かっている。例えば、この技術で良く知られたデバイスである高電子移動度トランジスタ(HEMT)とヘテロ接合バイポーラトランジスタ(HBT)とをモノリシックに集積することにより、HEMTの低ノイズの利点と、HBTの高電力高直線性の利点とが組み合わせられ、既知のベースライン製造技術でHEMT及びHBTを個別に製造してこれらデバイスをハイブリッド回路に組み合わせることにより実現できる以上にノイズが低く且つ電力が高いマイクロ波回路を形成することができる。

【0003】多機能回路デバイスの集積により多数の他の回路が利益を得ることができる。低ノイズのHEMTは、高いエネルギーによって焼け切れる傾向があるもので、高エネルギー環境においてこれをシールドするためにPINダイオードリミッタが現在使用されている。しかしながら、PINダイオードリミッタ及びHEMTは現在ハイブリッド回路において個別に集積されているので、付加的な遷移ロスがあり、もしPINダイオードリミッタ及びHEMTが同じ基体上にモノリシックに集積されていれば、このようなロスは本質的に排除されるであろう。更に、HBTのデジタル機能の利点をHEMTのマイクロ波機能の利点と組み合わせ、トランジスタートランジスタロジック(TTL)制御式の移相器のような多数の用途に対して、高い性能をもつHBT及びHEMTを形成することができる。別の例においては、HBTのアクティブな調整を用いてHEMT増幅器を安定化して、信頼性及び安定性を改善することができる。本質的に、多数の高性能半導体デバイスを必要とする回路の用途は、ハイブリッド集積ではなくてモノリシック集積を用いて効果的に実現することができる。

【0004】現在の半導体製造技術は、2つ以上のデバイス形式を共通の基体上に製造する能力に限度がある。異なる機能を有する半導体デバイスを集積するための異なる技術が知られている。例えば、PINダイオードと、金属半導体電界効果トランジスタ(MESFET)又はHEMTとの集積が、単一分子ビームエピタキシャル成長層のある相互接続構成と共に使用して達成されて

いる。例えば、1983年、IEEE Electron Dev. Lett.、第4巻、第375-376頁に掲載されたS. ミウラ氏等の「MOCVDによるモノリシック集積のAlGaAs/GaAs p-i-n/FET受光体(A Monolithically Integrated AlGaAs/GaAs p-i-n/FET photoreceiver)」を参照されたい。更に、PINダイオードと、MESFET又はHEMTは、分子ビームエピタキシー(MBE)再成長プロセスを用いて集積されている。1991年、IEEE Trans. Elect. Dev.、第38巻、第1324-1333頁に掲載されたY. ゼブダ氏等の「モノリシック集積のInPベースのフロント・エンド受光体(Monolithically Integrated InP-Based Front-End Photoreceiver)」を参照されたい。更に、レーザ及びHBTの集積が、埋設エピタキシャル層及びMBE再成長を用いて達成されている。1984年、Appl. Phys. Lett.、第45巻、第191-193頁に掲載されたJ. シバタ氏等の「InGaAsP/InGaAsP/InPレーザダイオードとヘテロ接合バイポーラトランジスタとのモノリシック集積(Monolithic Integration of InGaAsP/InGaAsP/InP Laser Diode With Heterojunction Bipolar Transistors)」及び1991年、Appl. Phys. Lett.、第59巻、第2826-2828頁に掲載されたP. R. ベルガ氏等の「分子ビームエピタキシャル再成長を用いたGaAs量子井戸レーザ及びヘテロ接合バイポーラトランジスタの集積(GaAs Quantum Well Laser and Heterojunction Bipolar Transistor Using Molecular Beam Epitaxial Regrowth)」を参照されたい。FETがHBTコレクタ又はエミッタに合体されるような単一のエピタキシャル成長を用いるか、又はベリリウムインプラネーションと組み合わせられたAlGaAs過剰成長を用いたGaAsベースのBi-FET技術が報告されている。1989年、IEDMテクニカル・ダイジェスト、第389-392頁に掲載されたK. イタクラ氏等の「大規模集積のためのGaAs Bi-FET技術(A GaAs Bi-FET Technology For Large Scale Integration)」; 1992年、IEDMテクニカル・ダイジェスト、第91-94頁に掲載されたD. チェスキー氏等の「簡単な製造プロセスによるGaAlAs/GaAs HBT及びGaAs FETの共集積(Cointegration of GaAlAs/GaAs HBTs and GaAs FETs With A Simple Manufacturable Processes)」; 及び1989年、プロシーディングズIEEE GaAs ICシンポジウム、第341-344頁に掲載されたJ. Y. ヤング氏等の「線型回路用のGaAs BIJFET技術(GaAs BIJFET Technology For Linear Circuits)」を参照されたい。これら例の各々において、プロファイル及びプロセスの制約によりFETの性能が妥協される。InPベースのHEMT-HBT集積も、単一エピタキシャル成長を用いて試みられているが、両デバイ

ス形式の首尾良い動作はまだ報告されていない。1991年、GOMACダイジェスト・オブ・ペーパー、第385-388頁に掲載されたW. E. スタンチナ氏等の「モノリシックの多デバイス、多機能ICのためのInPベースの技術(InP-Based Technology for Monolithic Multiple-Device, Multiple-Function ICs)」を参照されたい。

【0005】本発明の譲受人に譲渡された参考としてここに取り上げるストライト氏等の米国特許第5, 262, 334号には、相補的ヘテロ接合バイポーラトランジスタを製造する方法が開示されており、この場合には、基体上に選択的な分子ビームエピタキシーを行うことによって第1のNPN又はPNPプロファイルが成長される。次いで、そのプロファイル上に窒化シリコン層が付着され、この窒化シリコン層及びプロファイルが選択的にパターン化及びエッチングされて、NPN又はPNPヘテロ接合バイポーラトランジスタが画成される。次いで、元のプロファイルに隣接して基体上に逆のNPN又はPNPプロファイルが付着され、窒化シリコン層の残りの部分が元のプロファイルを第2のプロファイルの成長から保護するようにする。デバイスは、窒化シリコン層が除去されそして隣接する相補的なNPN/PNPプロファイルが基体上の残るようにパターン化されエッチングされる。

#### 【0006】

【発明が解決しようとする課題】公知の製造プロセスは、モノリシック集積デバイスを製造する能力に限度がある。そこで、本発明の目的は、相当に多数の集積デバイスを共通の基体上にモノリシックに集積できるような選択的分子ビームエピタキシー製造方法を提供することである。

#### 【0007】

【課題を解決するための手段】本発明の教示により、モノリシックの多機能集積回路デバイスを製造するための方法を開示する。本発明の1つの方法において、HBT又はPINダイオードデバイスがHEMT又はMESFETデバイスと共に共通の基体上にモノリシックに集積される。この方法は、選択的分子ビームエピタキシーによりHBT又はPINダイオードプロファイル層をGaAs又はInP基体上に最初に成長することを含む。次いで、このHBT又はPINダイオードプロファイル層上に第1の窒化シリコン層又は他の適当な誘電体層が付着される。第1の窒化シリコン層と、HBT又はPINダイオードプロファイル層は、窒化シリコン層によってカバーされたHBT又はPINダイオードデバイス層が基体の露出領域に隣接して残るようにパターン化されエッチングされる。次いで、基体上にHEMT又はMESFETプロファイル層が成長され、単結晶HEMT又はMESFET材料が基体上に付着されると共に、多結晶HEMT又はMESFET材料が残りの窒化シリコ

ン層上に付着されるようにする。多結晶HEMT又はMESFET材料と、残りの窒化シリコン層は、HBTデバイスプロファイル又はPINダイオードデバイスプロファイルと、MESFETデバイスプロファイル又はHEMTデバイスプロファイルとが共通の基体上に残るようにエッチング除去される。

【0008】又、この方法は、共通の基体上の2つ以上の機能的デバイスへと拡張することができる。例えば、PINダイオード-HBT-HEMTモノリシック集積デバイスを形成するために、基体が用意され、その上にPINダイオードプロファイル層が付着される。このPINダイオードプロファイル層の上に第1の窒化シリコン層が付着され、そしてこの窒化シリコン層及びPINプロファイル層は、窒化シリコン層で覆われたPINダイオードデバイスプロファイルを画成するようにパターン化及びエッチングされる。次いで、基体上にHBTプロファイル層が成長され、露出した基体上に単結晶HBT材料が付着されると共に、第1の窒化シリコン層の残りの部分上に多結晶HBT材料が付着される。多結晶HBT材料及び残りの第1の窒化シリコン層はエッチング除去され、第2の窒化シリコン層が付着される。次いで、この第2の窒化シリコン層及びHBT単結晶材料がパターン化及びエッチングされて、基体上にHBTデバイスプロファイルが画成される。次いで、基体上にHEMTプロファイル層が成長され、基体上に単結晶のHEMT材料が付着されると共に、第2の窒化シリコン層の残り部分に多結晶のHEMT材料が付着される。次いで、多結晶のHEMT材料及び残りの第2の窒化シリコン層がエッチング除去されて、集積されたPINダイオード-HBT-HEMTデバイスが残るようにする。

【0009】共通の基体上に全てのデバイスプロファイルが成長されると、その後のデバイス及び回路処理が行われて、デバイスが更に画成され相互接続される。

【0010】

【発明の実施の形態】本発明の更に別の目的、効果及び特徴は、添付図面を参照した以下の詳細な説明及び特許請求の範囲から明らかとなろう。モノリシック集積回路デバイスの製造方法及びそれにより形成された集積回路に関する好ましい実施形態の以下の説明は、単なる説明に過ぎず、本発明或いはその適用又は用途をこれに限定するものではない。

【0011】図1ないし4は、モノリシック集積回路デバイスを製造する本発明方法の好ましい実施形態による段階に従って形成されるモノリシック集積半導体構造体10の一連の側面図である。この構造体10を製造する方法は、モノリシック集積のHEMT-HBT、HEMT-PINダイオード、MESFET-HBT又はMESFET-PINダイオードデバイスを含む多数のモノリシック集積デバイスを形成するのに適用できるが、これに限定されるものではない。この方法により形成され

るモノリシック集積デバイスは、以下に述べるように、共通の基体12上に形成される。ここに示す実施形態において、基体12は、砒化ガリウム(GaAs)又は燐化インジウム(InP)のいずれかであるが、他の基体も適用できる。種々の半導体層を形成するプロセスは、当業者に良く知られた選択的分子ビームエピタキシー(MBE)プロセスによって実行される。

【0012】図1に示すように、MBEプロセスにより基体12上にHBTプロファイル層14が最初に成長される。このHBTプロファイル層14は、集積HEMT-HBT又はMESFET-HBTデバイスを製造するときに成長される。HEMTダイオード又はMESFETダイオードデバイスを製造するときには、プロファイル層14がダイオードプロファイル層である。プロファイル層14は、HBT又はダイオードデバイスを形成する全ての半導体層を含む。ダイオードプロファイルは、PINダイオード、ショットキーダイオード、トライオード等を含むいかなる適用可能なダイオードプロファイルでもよいが、これらに限定されるものではない。層14が成長された後に、当業者に明らかなように、例えば、プラズマ増強の化学蒸着プロセスにより、基体10上に窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)層が付着される。窒化シリコンは一例として使用されるもので、これに限定されるものではなく、二酸化シリコンのような他の誘電体層も等しく適用できることに注意されたい。この窒化シリコン層16は、以下の説明から明らかなように、製造されるべきHEMT又はMESFETプロファイル層の成長からHBTデバイスをシールドするためのブロッキング層として使用される。

【0013】窒化シリコン層16がプロファイル層14に付着された後に、窒化シリコン層16上にレジスト層(図示せず)が付着される。次いで、マスク(図示せず)を用いて、レジスト層、ひいては、窒化シリコン層16が、ダイオードデバイス又はHBTデバイスを画成するパターンへとパターン化される。レジスト層は、マスクを通して放射線に曝され、次いで、適当な溶媒により現像されて、レジスト層の非マスク部分が溶解され除去される。次いで、エッチング溶液が窒化シリコン層16の露出部分に付与され、レジスト層の除去領域に一致するエリアにおいて窒化シリコンが除去され、これら領域においてプロファイル層14が露出される。次いで、プロファイル層14の露出領域が適当な非等方性エッチング材によってエッチングされ、基体12を露出させる。

【0014】図2は、層14の露出領域がエッチング除去された後の構造体を示している。残りのプロファイル層14は、図示されたHBTデバイス層18を画成する。窒化シリコン層16の一部分がデバイス層18上に残される。非等方性エッチング段階は、残りの窒化シリコン層16のオーバーハングエリアがデバイス層18の



上面を越えて延びるような後退プロファイルを形成する。これは、以下の説明から明らかなように、デバイス層18とその後のデバイスプロファイル層との間の明確な分離を与える。次いで、構造体10は、MBEチャンバ（図示せず）から取り出され、清掃され、そしてMBEシステムに再挿入される。残りの窒化シリコン層16は、当業者に明らかなように、MBEチャンバにおける通常の脱ガス中に高密度化される。

【0015】次いで、既知のHEMT MBE成長手順により構造体10上に仮像InGaAs-GaAs HEMTプロファイルが成長される。又、構造体10の処理中のこの位置においてHEMTプロファイルではなくてMESFETプロファイルを成長させることも本発明の範囲内である。図3に示すように、残りの窒化シリコン層16に付着されたHEMT材料は、多結晶のHEMTプロファイル層20を形成する。というのは、HEMT材料は、窒化シリコン層16に合致した格子ではないからである。清掃された基体12に付着されたHEMT材料は、単結晶のHEMTプロファイル層22を形成する。というのは、HEMT材料は、基体12の清掃された表面に合致した格子だからである。単結晶プロファイル層22はHEMTデバイスを形成する。多結晶HEMT層20は、湿式エッチングプロセスによって除去され、そして残りの窒化シリコン層16は、乾式エッチングプロセスを用いて除去され、これらプロセスは両方とも公知である。単結晶HEMTプロファイル層22の部分は、HEMTデバイスの幾何学形状を更に定めるように適当なマスキング及びエッチング段階によって除去することができる。次いで、図4に示されたモノリシック集積構造体10は、デバイス及び回路処理のための準備

【0016】上記プロセスにより、非最適化MBE成長に関連した公知のHBTベリリウムベースドープ材の格子間拡散手順は排除される。これは、HEMT成長に関連した付加的な温度サイクルに耐えるに充分なほど頑丈なP型プロファイルを生じ、この選択的MBE技術の成功の1つの鍵である。HBT又はダイオードプロファイルがHEMTデバイスの形成中にHEMT温度サイクルに耐えるためには、HBTのベース層が安定であるだけでなく、HBTの他の層又はダイオードプロファイルも安定でなければならない。これは、 $n = 2 \times 10^{19}$  接触層と、 $n = 5 \times 10^{17} \text{ cm}^{-3}$  Al<sub>0.3</sub>Ga<sub>0.7</sub>Asエミッタ層とを含む。

【0017】図1ないし4を参照して上記した技術は、他の多数のモノリシック集積装置を形成するためのプロセスへと拡張することができる。例えば、図5ないし図11は、モノリシック集積のHEMT-HBT-ダイオードデバイスを形成するモノリシック集積の半導体構造体28の順次の製造段階を示している。このデバイスは、上記構造体10の場合と同様に、GaAs又はIn

P基体30上に形成される。図5に示すように、基体30上にダイオードプロファイル層32が成長される。第1の窒化シリコン層34が、上記のように、付着され、マスクされそしてエッチングされて、図6に示すダイオードデバイス層36が形成される。窒化シリコン層34の残り部分がデバイス層36をカバーする。窒化シリコン層34のオーバーハング領域は、デバイス層36を形成した非等方性エッチングにより生じる後退プロファイルの結果としてデバイス層36を越えて延びる。次いで、構造体28上にHBTプロファイルが成長され、図7に示すように、基体30上に付着されるHBT材料が単結晶のHBTプロファイル層38を形成すると共に、残りの窒化シリコン層34に付着されるHBT材料が多結晶HBTプロファイル層40を形成する。図8は、窒化シリコン層34及び多結晶HBTプロファイル層40が各々適当な湿式エッチング及び乾式エッチングによって溶解された後に生じる構造体28を示している。

【0018】次いで、構造体28上に第2の窒化シリコン層42が付着される。この窒化シリコン層42は、次いで、上記したように適当なレジスト層及びマスク層（図示せず）によってパターン化されエッチングされて、図9に示すように、HEMTプロファイルを受け入れる基体30上の領域を露出させる。次いで、構造体28上に選択的なMBEプロセスによりHEMT材料が成長されて、図10に示すように、単結晶HEMT層44が基体30上に付着されると共に、残りの第2の窒化シリコン層42上に多結晶HEMT層46が付着される。図1ないし4について述べたプロセスと同様に、HEMTプロファイルに代わってMESFETプロファイルを付着することも本発明の範囲内である。適当な湿式エッチング及び乾式エッチングにより、多結晶層46及び残りの窒化シリコン層42を各々選択的に除去して、図11に示すように積分されたHEMT-HBT-ダイオードデバイスを露出し画成する。

【0019】図1ないし4は、二重モノリシック集積デバイスを製造するに必要な処理段階を示しており、この場合に、第1の付着デバイスは、第2の付着デバイスが窒化シリコン層16によって保護されることを考慮して、第2の付着デバイスの製造に伴う温度サイクルに耐えるに充分な頑丈なものであった。図5ないし11は、3つのモノリシック集積デバイスを製造するための処理段階を示しており、この場合に、第1の付着デバイスは、第2及び第3の付着デバイスが窒化シリコン層42によって保護されるのを考慮して、第2及び第3の付着デバイスの製造に伴う温度サイクルに耐えるに充分な頑丈さとされ、そして第2の付着デバイスは、第3の付着デバイスの製造に伴う温度サイクルに耐えるに充分な頑丈さとされる。このプロセスは、この基準を満足する他の半導体デバイスへと拡張することができ、これは、3つ以上のモノリシック集積デバイスへプロセスを拡張す

ることを含む。

【0020】例えば、このプロセスは、モノリシック集積のHBT-ダイオードデバイスの製造へと拡張することができる。図5ないし11を参照した上記プロセスは、HEMTプロファイルに代わってMESFETプロファイルが成長されるモノリシック集積のMESFET-HBT-ダイオードデバイスへと拡張することができる。更に、図4及び11に示されるデバイスプロファイルを形成する選択的分子エピタキシープロセスに含まれる製造段階の後に、良く知られた他の製造段階を組み込んで、他のデバイス形式を形成することができる。例えば、HBTデバイスのコレクタ層の別々の部分にイオンインプランテーション分離段階を行って、ショットキーダイオード及びPINダイオードのようなダイオードを形成することができる。又、選択的分子ビームエピタキシー段階の後に超伝導-絶縁-超伝導検出器のような他のデバイスを付着することもできる。

【0021】図12ないし17は、上記した本発明による選択的MBEプロセスにより形成することのできる最終的デバイス及び回路処理段階後の6個の異なるモノリシック集積回路デバイスのプロファイル側面図である。特定のデバイスについて以下の述べる異なるデバイス層及びプロファイルは、特定デバイスに対するデバイスプロファイルが公知のデバイスに対して適応できるプロファイルであるという点で単なる一例に過ぎず、これに限定されるものではないことが理解されよう。種々のデバイス層及び接点が公知であるから、これら層の以下の説明は、通り一遍のものに過ぎない。又、分子ビームエピタキシーによって種々のデバイスが形成されるので、各デバイスの最下層が基体とのエピタキシャル結合を形成することにも注意されたい。

【0022】図12は、図1を参照して述べたプロセスにより製造することのできるHBT52、THzショットキーダイオード54及びHEMT56を含むモノリシック集積デバイス50を示している。HBT52、ショットキーダイオード54及びHEMT56の種々の層の各々が示されている。上記したように、HBTデバイス層18は、HBT52の全ての層を含んでおり、そしてHEMTプロファイル層22は、HEMT56の全ての層を含んでいる。しかしながら、HBT52はデバイス層18以上に画成及び処理されており、そしてHEMT56はプロファイル層22以上に画成及び処理されている。基体30は、GaAs基体58として示されている。

【0023】HBT52は、基体58上に約600nmの厚みに成長された強くドーブされたn型GaAsサブコレクタ層60を備えている。サブコレクタ層60には2つのオーミックコレクタ接点62が付着され画成される。サブコレクタ層60には約700nmの厚みに軽くドーブされたn型GaAsコレクタ層64が成長され

る。このコレクタ層64には約140nmの厚みに強くドーブされたp型GaAsベース層66が成長される。このベース層66にはオーミックベース接点68が付着され画成される。このベース層66には約180nmの厚みにn型AlGaAsエミッタ層70が成長される。このエミッタ層70には強くドーブされたn型InGaAsエミッタ接点層72が約85nmの厚みに成長される。エミッタ層70とエミッタ接点層72との組合せがエミッタメサ74を形成する。エミッタ接点層72にはオーミックエミッタ接点76が付着され画成される。図12に示すようにHBT52の接点及びコレクタ、ベース及びエミッタメサの各々を形成する種々の処理段階は、公知である。

【0024】ショットキーダイオード54を形成する層はHBT52のコレクタ層60及び64と同時に付着され、そしてダイオード54はその後にHBT52から分離される。特に、ダイオード54の強くドーブされたn型GaAsダイオード層80は、HBT52のサブコレクタ層60の成長と同時に成長され、従って、層80とサブコレクタ層60は同じ厚み及び組成を有する。サブコレクタ層60とダイオード層80は、当業者に良く知られた酸素のような適当なイオンのイオンインプランテーション段階により形成されたインプラント分離領域82によって分離される。ダイオード層80上には1組のオーミック接点84が付着及び画成される。又、ダイオード層80上には軽くドーブされたn型GaAsダイオード層86が形成される。このダイオード層86は、HBT52のコレクタ層64と同時に形成され、従って、層64と同じ厚み及び組成である。ダイオード層86には頂部オーミック接点88が付着され画成される。ダイオード層86は、コレクタ層64から分離され、当業者に良く知られた適当なパターン化プロセスにより画成される。ショットキーダイオード54をHBT52のコレクタ層から分離することは、分子ビームエピタキシー段階の後に別のモノリシック集積デバイスを形成する便利な方法であり、幾つかの用途に有用である。MBE段階の後にダイオード層80及び86の上にあるプロファイル層を除去するためにエッチング段階が使用される。

【0025】HEMT56は、図1ないし4のHEMTプロファイル層22と同様に種々のデバイス層を有する。特に、HEMT56は、基体52上に成長された超格子バッファ層92を備えている。この超格子バッファ層92上にはIn<sub>0.22</sub>Ga<sub>0.78</sub>Asチャンネル層94が約15nmの厚みに成長される。このチャンネル層94には良く知られたようにシリコンプレーナドーブ層96が付着され、チャンネル層94が画成される。このプレーナドーブ層96上にはAl<sub>0.22</sub>Ga<sub>0.78</sub>Asドナー層98が約30nmの厚みに成長される。このドナー層98には強くドーブされたn型GaAs接点層100が約40nmの厚みに成長される。この接点層100には、

図示されたように、電子ビームリソグラフィプロセスによりソース端子102及びドレイン端子104が付着され画成される。接点層100は、ドナー層98を露出するようにエッチングされ、そしてこのドナー層98に、図示されたように、Tゲートドレイン端子106が付着されエッチングされる。上記したように、HEMT56をMESFETに置き換えるのは本発明の範囲内である。

【0026】図13は、これも又図1ないし4について上記したプロセスにより形成できるモノリシック集積デバイス110を示す側面断面図である。この集積デバイス110は、共通の基体118上に形成されたHBT112と、PINダイオード114と、HEMT116とを備えている。HBT112は、上記のHBT52と同じであり、そしてHEMT116は、上記のHEMT56と同じであり、従って、HBT112及びHEMT116の種々の層については説明しない。上記のように、HEMT116は、MESFETと置き換えることができる。PINダイオード114は、ショットキーダイオード54がHBT52から分離されたのと同様に、インプラント分離領域120によってHBT112から分離される。PINダイオード114は、強くドーブされたn型GaAsダイオード層122及び軽くドーブされたn型GaAsダイオード層124を備え、これらは、各々HBT112のサブコレクタ層及びコレクタ層と同時に成長され、従って、これら層と同じ厚み及び組成を有する。層124は、PIN構造体において真性層として働く。軽くドーブされたn型GaAsダイオード層124上には強くドーブされたp型GaAs層126が成長されて、PINダイオード構造体が形成される。層126は、HBT112のベース層として同時に成長される。しかしながら、層126は、その厚みをHBT112のベース層以下に減少するようにエッチングされている。ダイオード接点は、図示されたように、層122及び層126に関連して付着され画成される。上記のショットキーダイオード54の場合と同様に、PINダイオード114は、便利な仕方ではHBT112から分離され、図1について上記したように2デバイス回路以上の付加的な集積デバイスが形成されている。

【0027】図14は、これも又図1ないし4について上記したプロセスにより形成できるモノリシック集積デバイス130を示す側面断面図である。この集積デバイス130は、共通の基体136上に形成されたPINダイオード132及びHEMT134を備えている。HEMT134は、上記のHEMT56と同じであり、従って、HEMT134の種々の層はここでは説明しない。HEMT134はMESFETであってもよい。PINダイオード132は、PINダイオードプロファイルの種々のデバイス層を示している。PINダイオード132及びHEMT134は、基体12上のデバイス層18

及びプロファイル層22と同様に、基体136上に成長される。PINダイオード132は、基体136の上に約600nmの厚みに成長された強くドーブされたn型GaAs接点層138を備えている。この接点層138上には第1のダイオードオーミック接点140が付着及び画成される。又、接点層138上にはGaAs真性層142が約2000nmの厚みに成長される。この真性層142にはp型GaAs層144が約100nmの厚みに成長される。この層144上には強くドーブされたp型GaAs接点層146が約50nmの厚みに成長される。接点層146上には第2のオーミック接点148が付着及び画成される。PINダイオード132は、HBT112から分離されたPINダイオード114とは大きく異なる。これは、PINダイオード114は、HBT112の展開の結果として便利に分離されたが、PINダイオード132は、より正確な選択的ビームエピタキシープロセスによって形成されたものだからである。

【0028】図15は、図5ないし11を参照して述べた段階により形成できるモノリシック集積デバイス156の側面図である。集積デバイス156は、HBT158、THzショットキーダイオード160、HEMT162及びPINダイオード164を共通の基体166上に備えている。これら種々のデバイス各々は、各特定のデバイスに対する異なる層を示しており、HBT158は、図5ないし11のHBTプロファイル層38から形成されたものであり、HEMT162は、HEMTプロファイル層44から形成されたものであり、そしてPINダイオード164はPINダイオードプロファイル層36から形成されたものである。図15のHBT158とショットキーダイオード160の組合せ並びにHEMT162は、図12のHBT52とショットキーダイオード54の組合せ並びにHEMT56と同様であるので、HBT158、ショットキーダイオード160及びHEMT162の個々の層については説明しない。同様に、図15のPINダイオード164は、図14のPINダイオード132と同じ層構成を有するので、PINダイオード164についても説明しない。

【0029】図16は、図5ないし11を参照して述べた段階により形成できるモノリシック集積デバイス174の側面図である。集積デバイス174は、共通の基体184上に形成されたHBT176、THzショットキーダイオード178、MESFET180及びPINダイオード182を備えている。この集積デバイス174は、HEMT162がMESFET180に置き代わった以外は集積デバイス156と同じである。それ故、MESFET180の特定のデバイスプロファイルのみを説明し、他のデバイスプロファイルは、上記と同じであると理解されたい。MESFET180は、基体184上に付着されたGaAsバッファ層186を備えてい

る。このバッファ層186には、n型GaAs層188が約200nmの厚みに成長される。この層188には、強くドーパされたn型GaAs層190が約40nmの厚みに成長される。この層190上には、ソース端子192及びドレイン端子194が電子ビームリソグラフィプロセスによつて付着され、画成される。層190がエッチングされて、層188が露出され、そしてその層188には、図示されたように、Tゲートのドレイン端子196が付着され、エッチングされる。

【0030】上記のモノリシック多機能集積回路を製造するプロセス技術の利用により、マイクロ波検出混合及びデジタル用途に超伝導膜を組み込むことができる。超伝導膜は、通常、当業者に良く知られたスパッタリングによつて付着されるが、蒸着及びレーザ切除のような別の付着技術も利用できる。それ故、集積デバイス156の基体166は、図17に示すような超伝導-絶縁-超伝導(SIS)検出器206も受け入れることができる。SIS検出器206は、基体166に付着された底部超伝導膜210を備えている。この超伝導膜210には絶縁層212が付着される。この絶縁層212には別の超伝導膜層214が付着される。又、SIS検出器206は、その特定の用途に基づいて、HEMTのみと集積されてもよいし、PINダイオード-HEMT集積デバイス又はPINダイオード-HBT集積デバイスと集積されてもよい。又、SIS検出器206は、超伝導伝送線と置き換えられてもよいし、超伝導デジタル回路と置き換えられてもよい。

【0031】上記の全ての集積デバイスを得るために合併プロセス技術が開発されている。図18は、図1ないし4についての上記説明及びその後のデバイス処理段階を参照し、モノリシック集積回路50、110及び130の形成を段階ごとに説明するためのフローチャート220である。ボックス222は、HBTプロファイル層14又はPINプロファイル層を基体12上に成長する段階を示している。ボックス224は、窒化シリコン層16の付着、マスキング及びエッチング段階によるHBTデバイス層18の形成を示している。ボックス226は、単結晶HEMTプロファイル層22及び多結晶HEMTプロファイル層20の成長又は単結晶MESFETプロファイル層及び多結晶MESFETプロファイル層の成長を示している。ボックス228は、多結晶層20及び残りの窒化シリコン層16のエッチング段階を示している。

【0032】フローチャートの残りの段階は、個々のデバイスの接触及び別々に得られたデバイス間の接続の形成のような公知のデバイス及び回路処理段階に向けられる。しかしながら、本発明は展開するモノリシック集積回路を含むので、個々の段階の組合せや、異なる形態で一連の段階は、公知技術で示されたものではない。ボックス230は、HEMT56のオーミック金属接点1

02及び104又はMESFETの接点を形成する段階を示す。HEMT又はMESFETオーミック金属は、展開するHEMT又はMESFET構造体上に蒸着され、迅速に熱的にアニールされる。次いで、蒸着された金属がパターン化され、当業者に良く知られたように接点が形成される。

【0033】HEMT又はMESFETが図12のHBT52又は図13のHBTと一体的に形成される場合には、フローチャート220は、ボックス230からボックス232へ移行する。ボックス232は、HBT構造体のエミッタメサ74がパターン化されエッチングされる段階を示している。次いで、展開中のHBT52にベース金属が蒸着され、ボックス234で示されたようにベース接点68を形成するようにパターン化される。次いで、HBTベース層66、ショットキーダイオード層80、86及びPINダイオード層122、124、126を形成するメサが、ボックス236で示すようにパターン化されそしてエッチングされる。次いで、展開中のHBT52にオーミック金属が蒸着され、ボックス238で示されたようにコレクタ接点62及びエミッタ接点76を形成するようにパターン化される。その後、ボックス240で示されたように、エミッタ接点76、ベース接点68及びコレクタ接点62がアニールされる。

【0034】図14に示されたように、HEMT又はMESFETがPINダイオード132とモノリシック集積される場合には、ボックス230のHEMT又はMESFET金属付着段階の後に、PINダイオード層138、142、144及び146を形成するメサが、ボックス242で示すようにエッチングされる。次いで、ボックス244で示すように、p型オーミック接点148及びn型オーミック接点140が蒸着される。これらオーミック接点140及び148は、ボックス246で示されたように、熱的にアニールされる。

【0035】上記したように、メサ及びオーミック接点がHBT52又はPINダイオード112に形成された後の次の段階は、ボックス248で表された酸素イオンインプラネーション段階によるデバイス分離である。集積デバイス50の場合は、イオンインプラネーション領域82がHBT52をショットキーダイオード54から分離する。集積デバイス110の場合には、イオンインプラネーション段階がHBT112をPINダイオード114から分離する。次いで、ステップ250で示すように、HEMT56のTゲート端子106又はMESFETに関連したTゲート端子が電子ビームリソグラフィ(EBL)によつて書き込まれ、その形状を形成する。その後、モノリシック形成された全集積回路50、110及び130の上に窒化シリコンの不活性化層(図示せず)が付着され、そしてボックス252で示すように、適当な端子への経路が形成される。次いで、ボックス254で示されたように、各HBT、HEMT、

MESFET、PINダイオード及びショットキーダイオード内及びこれらのデバイス間に、薄膜抵抗、キャパシタ、インダクタ、エアブリッジ及び相互接続金属化部分（図示せず）が画成される。その後、ボックス 256 で示されたように、パッド経路及び背面経路（図示せず）が形成される。最後に、ボックス 258 で示すように、全集積デバイス 50 及び 110 上に背面金属プレーナ層（図示せず）が形成される。

【0036】図 15 及び 17 の集積回路 156 と、図 16 の集積回路 174 の場合に、ボックス 230 の段階の後に、HBT エミッタメサは、ボックス 232 で示すようにエッチングされ、そしてボックス 234 及び 244 の HBT ベース接点及び p 型 PIN ダイオード接点を作られる。次いで、ボックス 236 で示すように、HBT ベース層及びショットキーダイオードメサが形成され、そしてボックス 242 で示すように、PIN ダイオードメサが形成される。次いで、HBT エミッタ接点及びコレクタ接点がボックス 238 及び 240 に基づいて蒸着されアニールされる。その後、PIN ダイオード接点がボックス 246 に基づいてアニールされる。次いで、プロセスは、上記したようにボックス 248 へ進む。

【0037】上記の合併 HEMT-HBT プロセスを用いて製造された個別の HEMT 及び HBT の DC 及びマイクロ波性能結果は、既知のベースライン単一デバイス技術プロセスを用いて製造された個別デバイスと同等である。図 19 は、上記の HEMT-HBT モノリシックプロセスにより製造された  $2 \times 10 \mu\text{m}$  単一エミッタ HBT の I-V 特性を示すように縦軸に電流 (I) をそして横軸に電圧 (V) を示したグラフである。HBT のブレイクダウン電圧  $V_{\text{ceo}}$  は 10 V より大きい。初期の電圧は 500 ボルトより高く、 $\beta$  は、 $I_c = 4.5 \text{ mA}$  において約 56 である。ニー電圧は正常であり、本発明の選択的 MBE プロセス中に付加的なコレクタ抵抗が誘起されないことを示している。ベース・エミッタ電圧  $V_{\text{be}}$  は、1 mA において 1.1539 V であり、これは、このデバイス構成で、この電流密度において典型的である。勾配の付いた AlGaAs エミッタにベースドープ材が著しく拡散するか又はエミッタ抵抗が増加すると、 $V_{\text{be}}$  の増加を生じる。エミッタの比接触抵抗は、 $1.1 \times 10^{-7} \Omega \cdot \text{cm}^2$  であり、これはこの形式のデバイスにとって典型的な値で、その後の HEMT 成長中に HBT の InGaAs エミッタ接点が劣化しないことを示している。 $75 \times 75 \mu\text{m}^2$  エミッタをもつ大きな HBT デバイスは、ベース・エミッタ接合ダイオードの理想的係数  $n = 1.03$  の状態で、 $I_c = 1 \text{ mA}$  ( $19 \text{ A/cm}^2$ ) において平均  $\beta = 102$ 、そして  $I_c = 40 \text{ mA}$  ( $711 \text{ A/cm}^2$ ) において  $\beta = 175$  である。

【0038】 $2 \times 10 \mu\text{m}^2$  のクオッド・エミッタを有する HBT デバイスは、 $I_c = 16 \text{ mA}$  ( $2 \times 10^4 \text{ A/cm}^2$ ) においてカットオフ周波数  $f_T = 21.4 \text{ GHz}$

でありそして  $f_{\text{max}} = 50 \text{ GHz}$  であり、これはこの形式のデバイスに対して典型的な値である。ベースライン及び選択的 MBE の HBT に対する  $f_T$  とコレクタ電流密度の関係が図 20 に示されている。記録された値は、測定された電流範囲にわたって本質的に同じである。ベースラインプロセス及び本発明の選択的 MBE プロセスにより形成された HBT についての  $d_c$  及び  $r_f$  の結果が等しいことは、HEMT-HBT 集積プロセス中に HBT 材料特性に著しい低下が生じなかったことを示している。

【0039】GaAs-AlGaAs の HBT とモノリシックに製造された低ノイズの仮像 InGaAs-GaAs0.2  $\mu\text{m}$  T ゲート HEMT は、その  $d_c$  及び  $r_f$  特性が既知のベースラインプロセスにより製造された HEMT と同等である。2 フィンガの  $80 \mu\text{m}$  ゲート巾 HEMT デバイスの I-V 特性曲線が図 21 に示されている。

【0040】集積デバイス 50 の HBT コレクターサブコレクタ領域から形成された THz ショットキーダイオード 54 に対する順方向及び逆方向 I-V 特性が図 22 ないし 23 に示されている。既知のベースライン HBT プロセスにより製造されたときのこの形式のショットキーダイオードについては、ダイオード理想係数が  $n = 1.04$ 、直列抵抗値が  $12 \Omega$  そしてブレイクダウン電圧が約 13 V であるのが典型である。

【0041】HEMT の低ノイズ増幅器の能動的 HBT 調整を使用するモノリシック HEMT-HBT 集積回路デバイスの性能が図 24 に示されている。この増幅器は、5-10 GHz の帯域巾、10 dB 以上の公称利得及び 3 dB 未満のノイズ指数に対して設計されている。HEMT 低ノイズ増幅器は、長さ  $200 \mu$  の単一の 0.2  $\mu\text{m}$  T ゲート HEMT を用いた単一段フィードバック設計である。HEMT デバイスのバイアス電流は、10 V の正の供給電圧により 5 mA を消費するオンチップの HBT 電流レギュレータを用いて、 $\pm 0.5 \text{ V}$  のスレッショールド変動に対し 5% 以内に調整することができる。HBT レギュレータをもたない同じ増幅器が比較のために HEMT のみの技術で製造された。本発明の選択的 MBE プロセス及び既知のベースライン単一技術を用いて製造された増幅器の利得及びノイズ指数は、図 24 に示すように、ほぼ同じである。合併 HEMT-HBT プロセスにより製造された HEMT 増幅器は、実際には、ほぼ 10 GHz で若干の利得効果を有する。

【0042】同じ集積回路上に HEMT 及び HBT をモノリシック集積すると、別々のデバイス製造技術を用いたのでは達成できない性能レベルをもつマイクロ波回路が形成される。同じチップ上に HEMT 及び HBT の両方のデバイスを用いるときの設計機会は、特に THz ショットキーダイオード及び PIN ダイオードと結合されたときに広範なものとなる。例えば、マイクロ波機能と

デジタル機能のモノリシック集積は、受信器の性能を著しく改善することができる。TTL制御の移相器、低ノイズ・高電力送信器-受信器モジュール、及びHBT可変制御発振器をHEMT低ノイズ増幅器と共に組み込むFMCW単一チップレーダ回路のような新規な回路設計は、高性能HEMT及びHBTのモノリシック集積を用いて全て可能となる。加えて、超伝導検出器、ミキサ、伝送線及びデジタル回路は、MESFET、HEMT、HBT又はPINダイオード回路と共に組み込んで、低温に対する性能を高めることができる。

【0043】図25ないし28は、上記のようにモノリシック集積することにより利得効果を得ることのできるHEMT-HBT、PINダイオード-HEMT及びPINダイオード-HBT-HEMT回路の例を示している。図25ないし28の回路の各々は、ハイブリッド又は個別チップの実施が広範に展開されているという点で公知のものである。上記のように本発明によれば、これら回路の個々の回路部品は、共通の基体上にモノリシック集積することができる。換言すれば、当業者であれば、上記の集積回路を相互接続して図25ないし28の回路に到達することができる。これら形式のモノリシック集積回路は、これまで、公知技術では示されていない。共通の基体上に異なる回路部品をモノリシック集積することにより、回路部品間の遷移ロスを下げ、所要面積を下げ、コストを下げ、コンパクトで且つ性能が高いことを含む（これらに限定されないが）多数の効果をモノリシック集積回路で実現することができる。

【0044】図25は、低ノイズの前端、高インピーダンス及び低歪の第3高調波、最適な感度及び高い電力を備えた公知の高性能増幅器260を示している。この増幅器260は、HEMT低ノイズ増幅器262を含み、これは、rf信号を受け取りそして増幅された出力信号を第1及び第2のHBT高インターセプト増幅器(HIA)264及び266に与える。共通の基体上に増幅器262、264及び266をモノリシック集積することにより、この回路の既知の効果を増大することができる。

【0045】HEMT増幅器は、高い入力電力において容易に焼き切れるので、公知技術においては、HEMT増幅器のベース(B)及びエミッタ(E)端子にPINダイオードリミッタを接続して、HEMT増幅器をこのような高い入力信号に対して保護することが知られている。図26は、この形式のHEMT増幅器の回路270を示している。この回路270は、PINダイオードリミッタ272を含み、ダイオードリミッタ272のアノードはHEMT274のベース端子に接続されそしてダイオードリミッタ270のカソードはHEMT増幅器274のエミッタ端子に接続されている。ダイオードリミッタ272は、HEMT274のベースに付与される入力過負荷信号を分路し、HEMT274を信号過負荷及

び焼け切れから保護する。ダイオードリミッタ272及びHEMT274を上記のように共通の基体にモノリシック集積することにより、この形式の公知回路に勝る多数の効果を實現することができる。

【0046】図27は、HBT調整されるHEMT低ノイズ増幅器278を示している。HEMT増幅器の特性は時間と共に著しく変化するので、HBT演算増幅器(OPAMP)を設けて、HEMT増幅器のベース端子に付与される入力信号を調整することが知られている。増幅器278の場合には、入力信号は、HBT演算増幅器280の入力端子に付与される。HBT演算増幅器280の出力信号は、HEMT低ノイズ増幅器282のベース端子に付与されて、調整を与える。HBT演算増幅器280及びHEMT増幅器282を上記のように共通の基体上にモノリシック集積することにより、公知のHBT調整のHEMT低ノイズ増幅器に対して、回路部品間の遷移ロスが低い等の幾つかの効果を實現することができる。

【0047】図28は、公知の送信器-受信器モジュール284をブロック図形態で示しており、このモジュールは、受信機能のためのHEMT低ノイズ増幅器286と、PINダイオードスイッチ288及び290と、送信機能のためのHBT電力増幅器292とを使用している。このように構成された送信器-受信器モジュールの動作は、公知である。HEMT増幅器286、PINダイオードスイッチ288及び290、HBT電力増幅器292を上記のように共通の基体上にモノリシック集積することにより、これらの部品を組み込んだ公知の送信器-受信器モジュールに勝る幾つかの効果を實現できる。

【0048】上記の各技術を伴うモノリシックPIN-HEMT-HBT集積回路及び超伝導膜集積の用途は、ここに開示する特定の回路又は使用目的に限定されるものではない。ここに開示する技術は、HEMT、HBT、PINダイオード、MESFET又は超伝導膜を種々様々な組合せで組み込んだ種々の新規なマイクロ波及びオプトエレクトロニック回路の製造に適用して、単一製造技術のみでは現在得られていない種々の効果を發揮することができる。

【0049】以上の説明は、本発明の実施形態を単に説明するものに過ぎない。当業者であれば、上記説明、添付図面及び特許請求の範囲から、本発明の精神及び範囲から逸脱せずに、種々の変更や修正がなされ得ることが容易に明らかであろう。

【図面の簡単な説明】

【図1】本発明の好ましい実施形態によるHEMT-HBT、HEMT-PINダイオード、MESFET-HBT又はMESFET-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図2】本発明の好ましい実施形態によるHEMT-H



BT、HEMT-PINダイオード、MESFET-HBT又はMESFET-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図3】本発明の好ましい実施形態によるHEMT-HBT、HEMT-PINダイオード、MESFET-HBT又はMESFET-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図4】本発明の好ましい実施形態によるHEMT-HBT、HEMT-PINダイオード、MESFET-HBT又はMESFET-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図5】本発明の好ましい実施形態によるHEMT-HBT-PINダイオード又はMESFET-HBT-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図6】本発明の好ましい実施形態によるHEMT-HBT-PINダイオード又はMESFET-HBT-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図7】本発明の好ましい実施形態によるHEMT-HBT-PINダイオード又はMESFET-HBT-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図8】本発明の好ましい実施形態によるHEMT-HBT-PINダイオード又はMESFET-HBT-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図9】本発明の好ましい実施形態によるHEMT-HBT-PINダイオード又はMESFET-HBT-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図10】本発明の好ましい実施形態によるHEMT-HBT-PINダイオード又はMESFET-HBT-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図11】本発明の好ましい実施形態によるHEMT-HBT-PINダイオード又はMESFET-HBT-PINダイオード集積回路デバイスを製造するための展開構造を示す側面図である。

【図12】本発明の方法により製造されたモノリシック集積のHBT-ショットキーダイオード-HEMTデバイスの側面図である。

【図13】本発明の方法により製造されたモノリシック集積のHBT-PINダイオード-HEMTデバイスの側面図である。

【図14】本発明の方法により製造されたモノリシック集積のPINダイオード-HEMTデバイスの側面図である。

【図15】本発明の方法により製造されたモノリシック集積のHBT-ショットキーダイオード-HEMT-P

INダイオードデバイスの側面図である。

【図16】本発明の方法により製造されたモノリシック集積のHBT-ショットキーダイオード-MESFET-PINダイオードデバイスの側面図である。

【図17】本発明の方法により製造されたモノリシック集積のHBT-ショットキーダイオード-HEMT-PINダイオードデバイスの側面図である。

【図18】本発明によりモノリシック集積の多機能デバイスを製造する方法のフローチャートである。

【図19】本発明の実施形態によりモノリシック集積のHEMT-HBTデバイスを形成する方法によって製造された $2 \times 10 \mu\text{m}$ 単一エミッタHBTの電流(I)対電圧(V)曲線を示すグラフである。

【図20】公知のベースライン分子ビームエピタキシー製造方法及び本発明の実施形態によりモノリシック集積のHEMT-HBTデバイスを形成する方法によって製造された $2 \times 10 \mu\text{m}$ エミッタHBTに対するカットオフ周波数( $f_T$ )対コレクタ電流密度のグラフである。

【図21】本発明の実施形態によるHBTとモノリシック集積されたTゲートHEMTに対する電流対電圧曲線のグラフである。

【図22】本発明の実施形態によるHEMT-HBT集積デバイスとモノリシックに製造されたPINダイオードに対する順方向バイアス電流及び電圧特性を示すグラフである。

【図23】本発明の実施形態によるHEMT-HBT集積デバイスとモノリシックに製造されたPINダイオードに対する逆方向バイアス電流及び電圧特性を示すグラフである。

【図24】ベースライン技術によって製造されたHBT増幅器と、本発明の実施形態によりモノリシック集積されたHEMT-HBTデバイスに関連したHBT増幅器との間の利得及びノイズ対周波数を比較するグラフである。

【図25】低ノイズHEMTの前端をHBT高インターセプト増幅器と一体化する高性能増幅器の回路図である。

【図26】HEMT低ノイズ増幅器と一体化されたPINダイオードリミッタの回路図である。

【図27】HEMT低ノイズ増幅器と一体化されたHBTレギュレータの回路図である。

【図28】受信機能のためのHEMT低ノイズ増幅器と、HBTベース・コレクタPIN又は個別PINを用いるPINダイオードスイッチと、送信機能のためのHBT電力増幅器とを使用する送信器-受信器モジュールの回路図である。

【符号の説明】

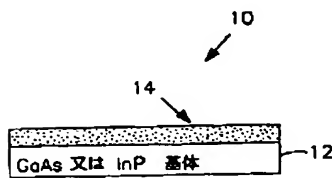
10 モノリシック集積の半導体構造体

12 共通の基体

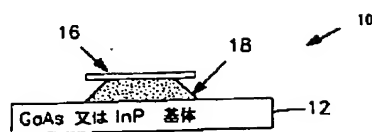
- 25
- 14 HBTプロファイル層
  - 16 窒化シリコン層
  - 18 HBTデバイス層
  - 20 多結晶HEMT層
  - 22 単結晶HEMTプロファイル層
  - 28 モノリシック集積の半導体構造体
  - 30 基体
  - 34 窒化シリコン層
  - 36 ダイオードデバイス層

- 26
- 38 単結晶HBTプロファイル層
  - 40 多結晶HBTプロファイル層
  - 42 第2の窒化シリコン層
  - 44 単結晶HEMT層
  - 46 多結晶HEMT層
  - 50 モノリシック集積デバイス
  - 52 HBT
  - 54 THzショットキーダイオード
  - 56 HEMT

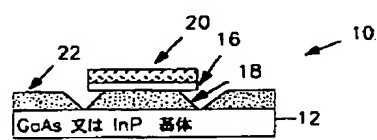
【図1】



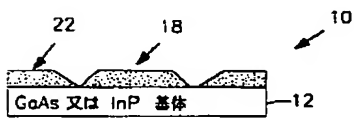
【図2】



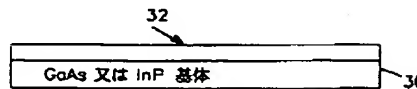
【図3】



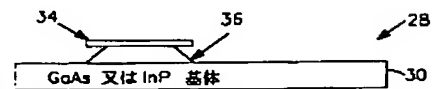
【図4】



【図5】



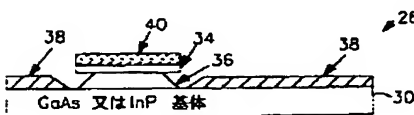
【図6】



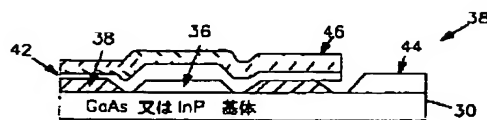
【図8】



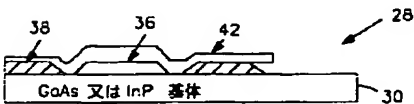
【図7】



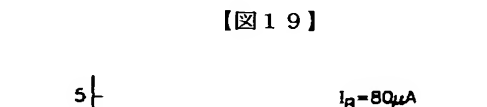
【図10】



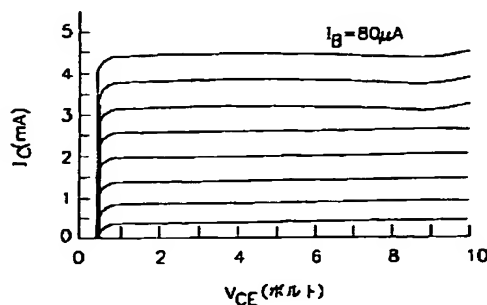
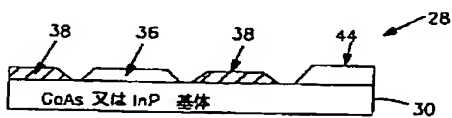
【図9】



【図19】

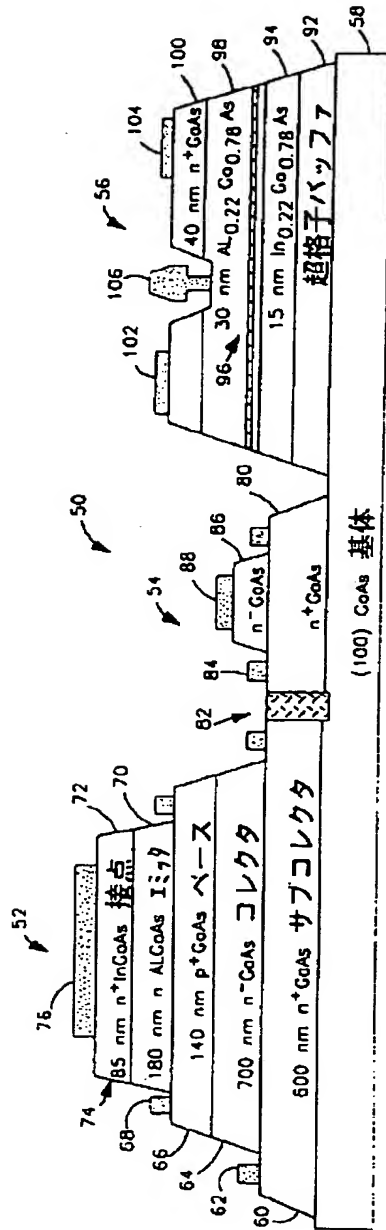


【図11】

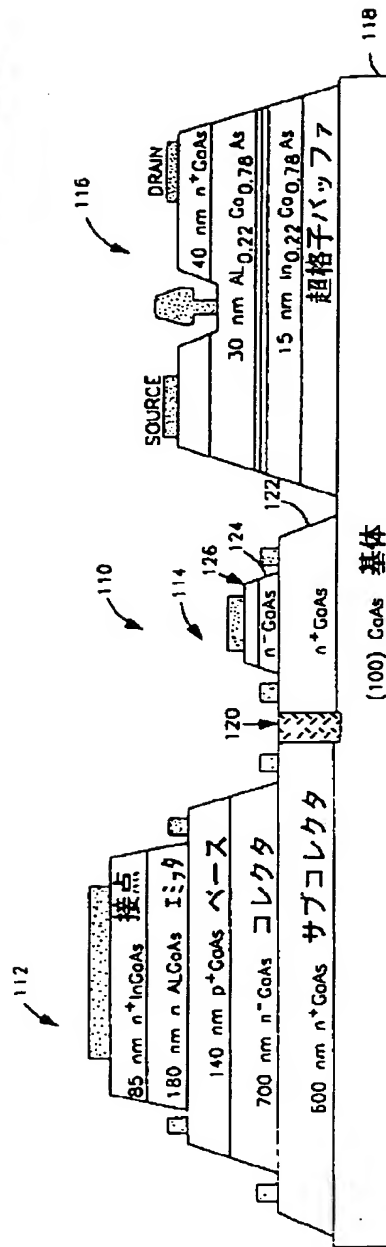




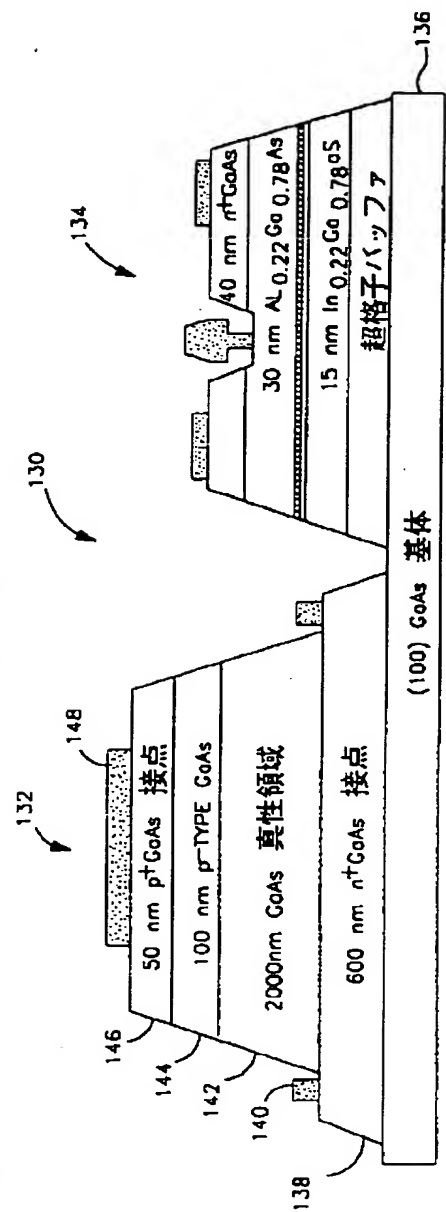
【図 12】



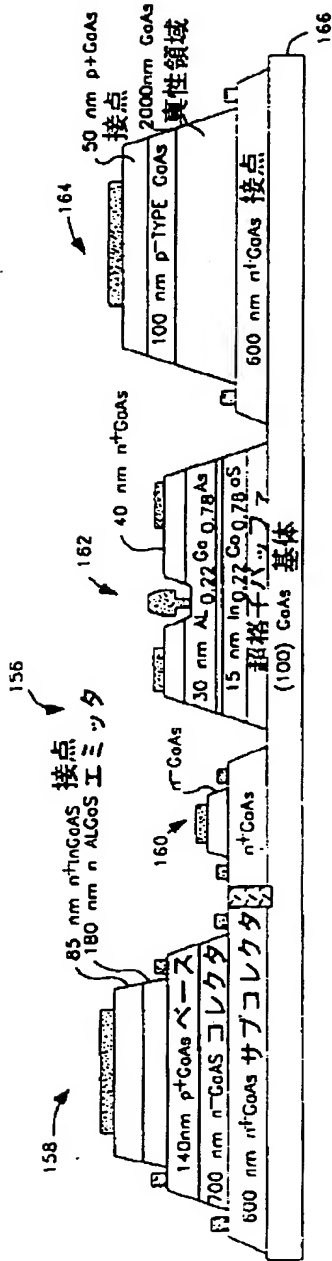
【図 13】



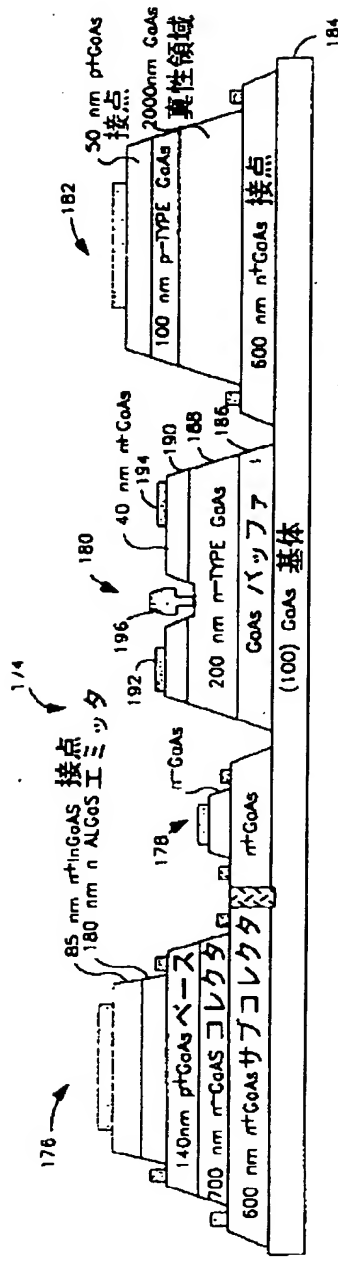
【図 14】



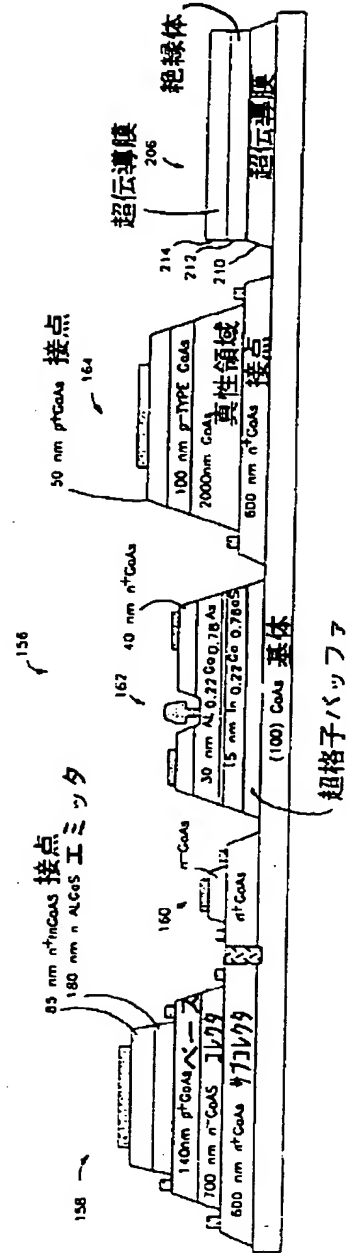
【図15】



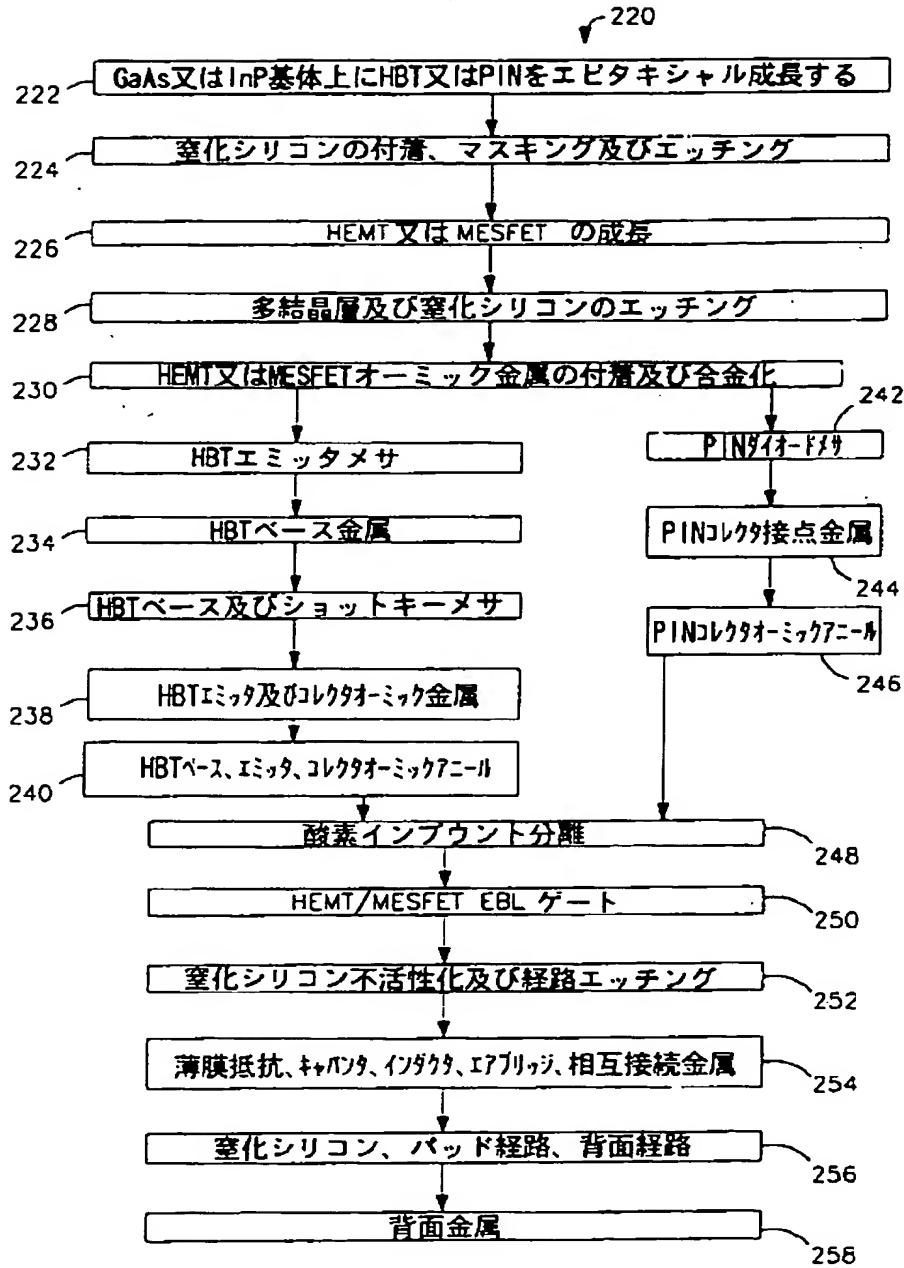
【図16】



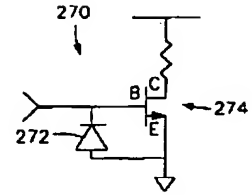
【図17】



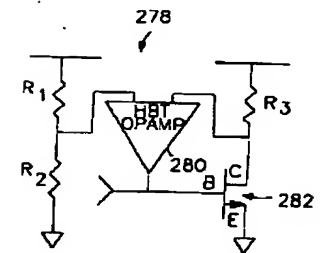
【図 18】



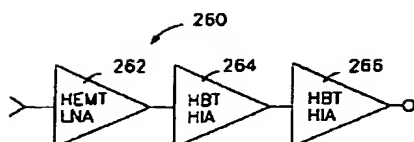
【図 26】



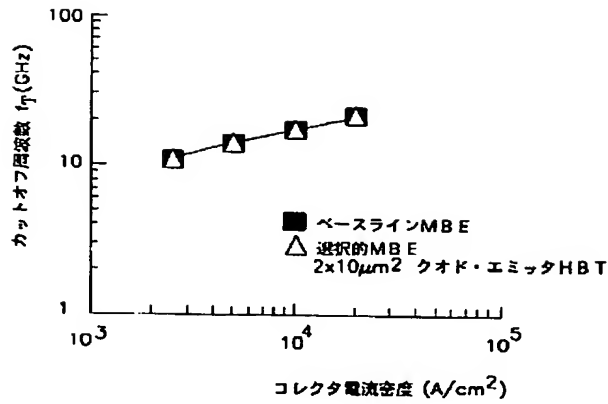
【図 27】



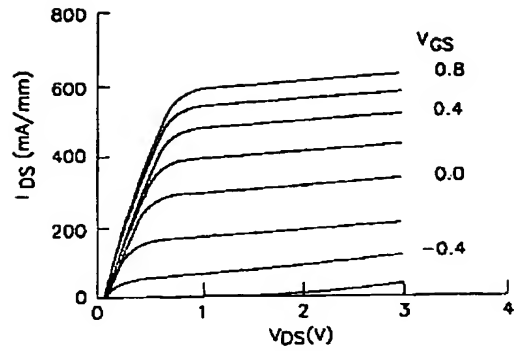
【図 25】



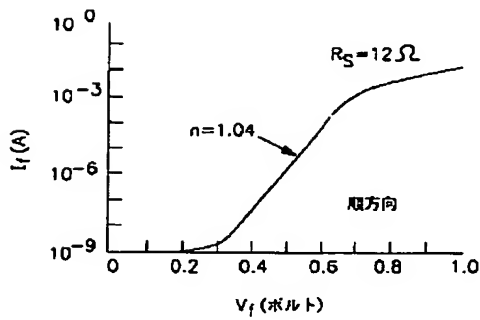
【図 20】



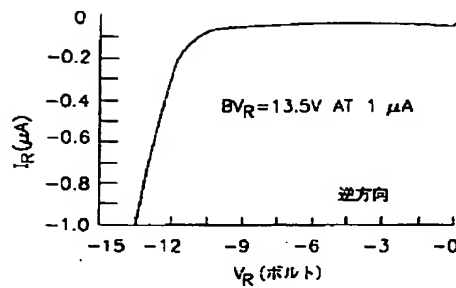
【図 21】



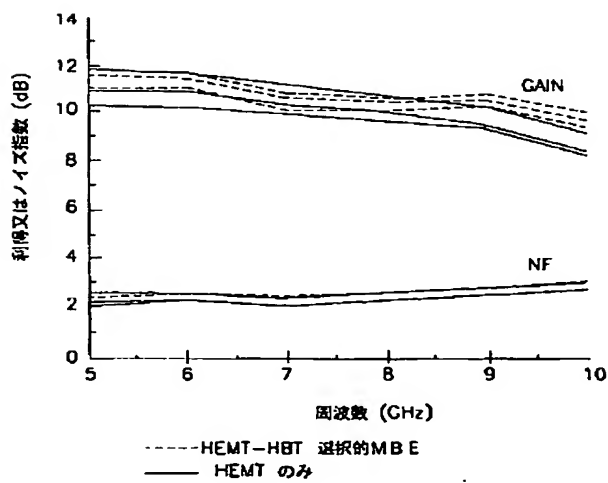
【図 22】



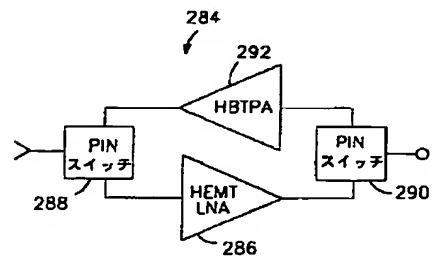
【図 23】



【図 24】



【図 28】



## 【手続補正書】

【提出日】平成 7 年 1 2 月 7 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 基体と、

上記基体上に形成された高電子移動度トランジスタ (HEMT) とを備え、該 HEMT は、基体に接触する HEMT のプロファイル層が基体とのエピタキシャル結合を形成するように選択的分子ビームエピタキシー (MBE) によって基体に付着された複数の HEMT プロファイル層を含み、そして上記基体上に形成された第 1 半導体デバイスを更に備え、該第 1 半導体デバイスは、基体に接触する第 1 半導体デバイスのプロファイル層が基体とのエピタキシャル結合を形成するように MBE によって基体上に付着された複数の第 1 半導体デバイスプロファイル層を含むことを特徴とするモノリシック集積回路。

【請求項 2】 上記第 1 半導体デバイスは、ヘテロ接合バイポーラトランジスタ (HBT) であり、基体に接触する HBT プロファイル層がサブコレクタ層である請求項 1 に記載の集積回路。

【請求項 3】 上記第 1 半導体デバイスは、PIN ダイオードであり、基体に接触する PIN ダイオードプロファイル層が接触層である請求項 1 に記載の集積回路。

【請求項 4】 基体上に形成された第 2 半導体デバイスを更に備え、該第 2 半導体デバイスは、基体に接触する第 2 半導体デバイスのプロファイル層が基体とのエピタキシャル結合を形成するように選択的 MBE によって基体に付着された複数の第 2 半導体プロファイル層を含む請求項 1 に記載の集積回路。

【請求項 5】 上記第 1 半導体デバイスは HBT でありそして第 2 半導体デバイスはショットキーダイオードであり、これら HBT 及びショットキーダイオードはイオンインプラネーション領域によって分離され、そして基体に接触する HBT プロファイル層がサブコレクタ層である請求項 4 に記載の集積回路。

【請求項 6】 上記第 1 半導体デバイスは HBT でありそして第 2 半導体デバイスは PIN ダイオードであり、基体に接触する HBT プロファイル層がサブコレクタ層であり、そして基体に接触する PIN ダイオードプロファイル層が接触層である請求項 4 に記載の集積回路。

【請求項 7】 HBT 及び PIN ダイオードは、イオンインプラネーション領域によって分離される請求項 6 に記載の集積回路。

【請求項 8】 ショットキーダイオードデバイスを更に備え、該ショットキーダイオードデバイスはイオンインプラネーション領域によって HBT から分離され、基体に接触するショットキーダイオードデバイスのプロファイル層が基体とのエピタキシャル結合を形成する請求項 2 に記載の集積回路。

【請求項 9】 上記 PIN ダイオード、HBT 及び HEMT は、送信-受信回路を形成するように相互接続され、HEMT は受信機能のための低ノイズ増幅器として働き、HBT は送信機能のための電力増幅器として働き、PIN ダイオードはスイッチとして働く請求項 7 に記載の集積回路。

【請求項 10】 上記 HBT 及び HEMT は、HBT 調整された HEMT 低ノイズ増幅器を形成するように相互接続される請求項 2 に記載の集積回路。

【請求項 11】 上記 HEMT 及び PIN ダイオードは、PIN ダイオードリミッタを含む HEMT 増幅器を形成するように相互接続される請求項 3 に記載の集積回路。

【請求項 12】 HBT 及び HEMT は高性能増幅器を形成するように相互接続され、HEMT は、RF 信号を受信する低ノイズ増幅器として働き、HBT は、HEMT から増幅された出力信号を受信する高インターセプト増幅器として働く請求項 2 に記載の集積回路。

【請求項 13】 基体上に付着された超伝導-絶縁-超伝導 (SIS) 検出器を更に備えた請求項 1 に記載の集積回路。

【請求項 14】 上記基体は、砒化ガリウム及び燐化インジウムより成る群から選択された半導体材料より成る請求項 1 に記載の集積回路。

フロントページの続き

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/331		7376-4M	H 0 1 L 29/80	H
29/73		7376-4M		E
29/778				
21/338				
29/812				

27/095

(72)発明者 ドナルド ケイ ウムモト  
アメリカ合衆国 カリフォルニア州  
90266 マンハッタン ビーチ ノース  
ベック アベニュー 615

(72)発明者 アーロン ケイ オキ  
アメリカ合衆国 カリフォルニア州  
90502 トーランス ケンウッド 22114  
(72)発明者 ケヴィン ダブリュー コバヤシ  
アメリカ合衆国 カリフォルニア州  
90503 トーランス ラディーン アベニ  
ュー 21305